

基于凌华科技与 System Generator 的 GPS 快速捕获算法的实现与验证

- 作者

刘恩晓，男，1983.08 生人，现为哈尔滨工业大学通信技术研究所博士生在读，主要研究方向为卫星导航接收机及其抗干扰技术研究

- 应用领域

导航接收机关键算法的硬件实现

- 挑战

目前在 GPS 接收机中，对码的捕获一般有两种方法：串行搜索方法和并行搜索方法。串行搜索方法硬件实现简单，但其捕获时间较长，每更改一次本地码相位，就需要花费 1ms，完成一个搜索约 2min 左右时间。导航接收机在很多应用领域要求高的数据更新率，这就要求捕获时间变得更短才行。目前 GPS 信号捕获电路的主要实现手段是通过使用 DSP 芯片，DSP 可以通过 C 语言编写程序，属于软件工作，可以在较高的层次进行设计，为设计工作提供了方便。但是此种实现方法不利于知识产权的保护，也不利于生产专门的芯片。因此本文采用 FPGA 来实现。而 FPGA 资源有限，如何通过复用来满足资源占用是一个关键问题。此外，导航信号强度远远低于噪声，接收 SNR 仅有 -20dB，准确采集中频数据对算法的验证至关重要。

- 解决方案

重点研究了在 SDR(Software Defined Radio)平台上实现频域捕获算法，基于 SDR 平台和 FFT 来实现并行快速捕获算法。本文使用 Xilinx 公司的系统级建模工具 System Generator 完成了对 XC6VFX60FF1152 这款 V4 系列的 FPGA 芯片编程，完成了频域捕获算法的硬件实现。在设计中采用时分复用技术，使整个设计方案只采用一个 FFT 核，并且使用了一种新的复数乘法方案，节约了硬件资源。为了避免系统热噪声的影响而准确采集导航数据，本系统设计时使用 ADLINK 公司生产的数字化仪 PCI-9846H 进行卫星信号采集，使用 Xilinx 公司提供的编程软件——System Generator，读取采集数据，在 Matlab 下的 Simulink 中进行系统设计调试，然后直接生成硬件描述语言下载到 FPGA 中。

1. 引言

GPS 接收机必须复现待捕获的卫星所发射的 PN 码，然后必须移动这个复现码的相位，直到与卫星的 PN 码发生相关为止。当接收机所复现的码与输入的卫星码相匹配时，有最大的相关值。当复现码的相位与输入的卫星码的相位在任何一边的偏移超过 1 个码片时，有最小的相关。这就是 GPS 接收机捕获或跟踪卫星信号时在码相位域内检测卫星信号的方式。这样 GPS 信号的捕获和跟踪过程是二维的信号复现过，如图 1 所示。图中横坐标为码相位，纵坐标为多普勒频槽。

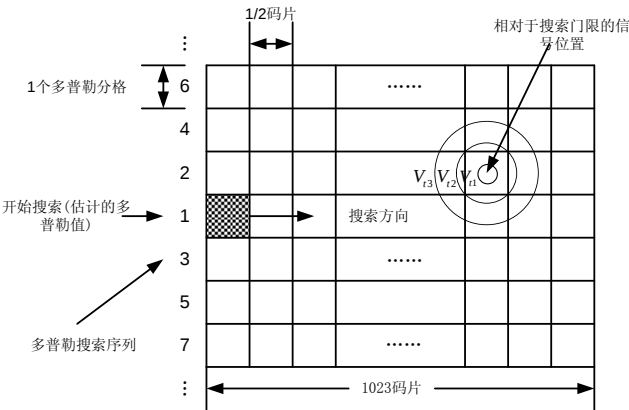


图 1 二维 C/A 码搜索图案

典型情况下码相位以 $1/2$ 码片的增量被搜索。每个码相位搜索增量是一个码片分格。每个频率的分格大概是 $2/3T$ Hz，其中 T 是搜索逗留时间（逗留时间越长频率分格越小）。一个码分格和一个多普勒分格合并起来成为一个方格。在码域内，GPS 接收机完成自相关的过程是，首先搜索希望卫星的相位，然后调节复现码发生器的基码标称速率，以补偿由于接收机和卫星之间视距动态在卫星 PRN 码上所引起的码相位延迟，从而实现对卫星码状态的跟踪。码相关的过程用被相移的复现码与输入的卫星码实时相乘，然后积分和累加而实现。GPS 接收机的目标是使其复现码的瞬时相位于所希望的卫星的码相位保持最大的相关。

接收机还必须调整其复现的载频信号，以使其与所希望的卫星频率相匹配，否则在距离域内的信号的相关过程将因为 GPS 接收机频率响应的滚降特性而受到严重的衰减，后果是永远也捕获不到信号。即使接收机在搜索过程中成功捕获了信号，如果失去了对卫星频率的跟踪，也会接着失去对码的跟踪。因此，GPS 接收机首先搜索希望卫星的载波多普勒频率，然后跟踪这颗卫星的载波多普勒状态，以在载波多普勒域完成载波的匹配过程。

捕获过程认为 θ_L 为 0，接收机对接收信号和本地信号进行相关处理。即

$$I_k = \sum_{j=si}^{si+N_k-1} I_L(t_j)r(t_j) \quad (1)$$

$$Q_k = \sum_{j=si}^{si+N_k-1} Q_L(t_j)r(t_j) \quad (2)$$

其中， k 是第 k^{th} 个相干积分时间， N_k 和 si 分别是相干累积采样点数和第一个采样的位置。输出表示如下：

$$I_k = \frac{N_k \tilde{A}_k D_k}{2} \frac{\sin(\pi \Delta f_k \square T)}{\pi \Delta f_k \square T} \tilde{R}(\tau_{e,k}) \cos \tilde{\varphi}_k + n_{I,k} \quad (3)$$

$$Q_k = \frac{N_k \tilde{A}_k D_k}{2} \frac{\sin(\pi \Delta f_k \square T)}{\pi \Delta f_k \square T} \tilde{R}(\tau_{e,k}) \cos \tilde{\varphi}_k + n_{Q,k} \quad (4)$$

其中 $\tilde{A}_k$ 是累积时间内信号的幅度， D_k 是导航数据， Δf_k 是接收信号与本地信号的频差， $\tilde{\varphi}_k$ 是相位差， $\tilde{R}(\tau_{e,k})$ 是本地码与接收码相关值， $n_{I,k}$ 和 $n_{Q,k}$ 分别是 I、Q 两路信号相关后的加性高斯白噪声，均值为 0，方差为 $(N_k \sigma_s^2)/2$ 。 $\tilde{R}(\tau_{e,k})$ 为 C/A 码自相关函数， $\tau_e = \tau - \tau_L$ 。当 $|\tau - \tau_L| < T_{chip}$ 时， $R(\tau - \tau_L)$ 与 $(1 - |\tau - \tau_L|/T_{chip})$ 成比例， T_{chip} 是码片长度。

构成复相关函数 $z_k(\tau, f_{d_L}) = I_k + jQ_k$ ，令其模值的平方 $P_k = I_k^2 + Q_k^2$ 为检测变量。当最大的 P 大于一个给定门限，则认为信号被捕获了，其最大值相对应的 τ 就是伪随机码的码延迟时间， f_{d_L} 就是载波的多普勒频移。下面分析 P_k 的统计特性，以后分析捕获性能时要经常用到。

$$P_k = I_k^2 + Q_k^2 \quad (5)$$

$$= [N_k \bar{A}_k]^2 + \{2N_k \bar{A}_k D_{m,k} (n_{I,k} \sin \tilde{\varphi}_k + n_{Q,k} \cos \tilde{\varphi}_k) + n_{I,k}^2 + n_{Q,k}^2\}$$

$$\bar{A}_k = \frac{\tilde{A}_k}{2} \frac{\sin(\pi \Delta f_k \square T)}{\pi \Delta f_k \square T} \tilde{R}(\tau_{e,k}) \quad (6)$$

$\bar{A}_k$ 代表了由多普勒频移和码相位带来的相关值的降低。信号部分 $[N_k \bar{A}_k]^2$ 不依赖于相位误差。

噪声部分 $\{2N_k \bar{A}_k D_{m,k}(n_{i,k} \sin \tilde{\varphi}_k + n_{Q,k} \cos \tilde{\varphi}_k) + n_{I,k}^2 + n_{Q,k}^2\}$ 用 $[n_{z_k}]$ 来表示，则

$$E[n_{z_k}] = N_k \sigma_s^2 \quad (7)$$

$$E[n_{z_k}] = (N_k \sigma_s^2)^2 \left[1 + \frac{(N_k \bar{A}_k)^2}{2N_k \sigma_s^2} \right] \quad (8)$$

很显然，平方操作改变了噪声的统计特性，与式(3)、(4)相比，均值已经不再是零。并且噪声的方差增加了，由式(8)可进行计算。检测变量 P_k 的统计特性与 SNR 相关。

2. 频域快速捕获算法

2.1 频域捕获原理

随着硬件技术的发展，FFT 的运算速度越来越快。在现代通信，无线电导航，精密定位，精密时间测量和传递、授时等方面都要求对无线电信号进行实时相关处理。为了做到信号的快速捕获，GPS 接收机引入 FFT 算法来计算相关值。在每一个频槽同时计算出所有码相位的相关值，可以使捕获时间尽可能的缩短。

FFT 搜索算法是基于数学特性：时域的卷积等价于频域的相乘~~错误!未找到引用源。~~⁹¹⁻⁹³。传统的两个抽样序列之间的关系是按如下方式实现

$$R(m) = \sum_{n=0}^{N-1} x(n) c(n+m) \quad (9)$$

式中 $R(m)$ 作为延迟 m 的函数，是 $x(n)$ 和 $c(n)$ 之间的函数。但是如果直接计算相关值 $R(m)$ ，其运算量非常大，正比于序列长度的平方。若果通过频域来计算，其运算量将大幅度减少，运算时间变短。其数学原理如下：

$$R(m) = \sum_{n=0}^{N-1} x(n) c(n+m) = x(n) \otimes c(-n) = IFFT[FFT(x(k)) FFT^*(c(k))] \quad (10)$$

式中 $\otimes$ 表示卷积， $IFFT$ 代表傅里叶反变换， FFT^* 代表傅里叶变换的共轭， $FFT(x(k))$ 为输入信号的频谱， $FFT(c(k))$ 为本地伪码的频谱。基于上述公式推导，设计基于 FFT 的并行捕获原理框图如图 2 所示。

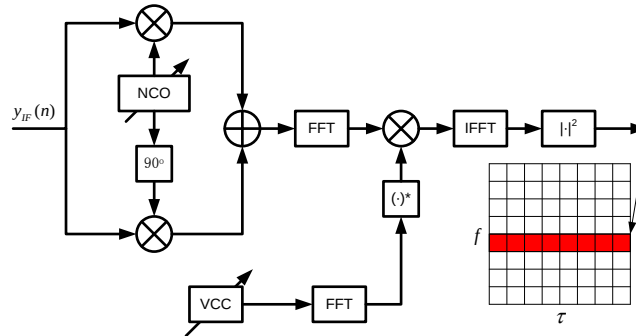


图 2 基于 FFT 的并行捕获原理框图

伪码并行 FFT 算法的搜索过程与匹配滤波法相似（但速度比匹配滤波法快），即：在估计的多普勒频率点进行一次 FFT 搜索全部伪码相位，功率最大值和门限值比较，若最大值大于门限值，则表明信号捕获，给出信号所在位置的码相位和多普勒频率，进入信号跟踪阶段，如果最大值小于门限值，则表明信号未捕获，通过控制逻辑改变多普勒搜索单元，重复上述过程。由于 FFT 具有把能量集中到一个单元上的特性，所以 FFT 的并行搜索方式，不但搜索时间短，而且可以在低信噪比下捕获信号。

2.2 频域捕获的步骤

伪码并行 FFT 算法的具体过程如下：

- (1) 中频信号采样后经数字下变频，交给 FFT 模块。其中 I、Q 两支路分别为实部和虚部进行复数 FFT 运算。
- (2) 在 FFT 单元中，对进来的数据做分段处理，分段的长度 L 决定一次并行运算的长度，与捕获概率、捕获时间有很大的关系。
- (3) 对本地产生的扩频码进行 FFT 运算，并取其复共轭。
- (4) 把数据段和地址段的 FFT 结果相乘，然后进行 IFFT 运算。
- (5) 对 IFFT 的结果取模值，存储结果。

对结果进行捕获判决，找出累加后一帧中最大点与设定的门限比较，如果高于门限值，进行一次捕获检验，确定是真的捕获后交与后面跟踪支路。

2.3 频域捕获运算量分析

由于 FFT 算法的使用，使得相对时域的搜索算法相比，运算量大幅下降。以码长为 1023 讨论，对一路的接收信号序列 $x(n)$ 和本地信号序列 $y(n)$ 的相关函数在时域的表达式为：

$$R(m) = \sum_{n=0}^{N-1} x(n) \cdot c(n+m) \quad N=1023, 0 \leq m \leq 1022 \quad (11)$$

相关间隔设定为 1 个码片。在时域直接计算 1023 个相关函数值，所需乘法次数为：

$$M_1 = 1023 \times 1023 = 1046529 \quad (12)$$

所需加法的次数为：

$$N_1 = 1023 \times 1023 = 1046529 \quad (13)$$

可以看出时域捕获计算量太大。若在接收信号序列 $x(n)$ 和本地序列 $y(n)$ 的末尾添上 1 个 0，构成 $(N+1) = 1024$ 点序列。可以利用 FFT 方便的计算出它们的离散傅里叶变换 $X(k)$ 和 $Y(k)$ ，而相关函数在频域计算表达式为：

$$R(m) = \sum_{n=0}^{N-1} x(n) \cdot y(m+n) = \text{IFFT}[X(k) \cdot Y(k)^*] \quad (14)$$

$$N = 1023, 0 \leq m \leq 1022$$

在频域计算相关函数值所需的 FFT 次数为 3 次，即对中频信号做一次 FFT，对本地信号做一次 FFT，再对 $X(k) \cdot Y(k)^*$ 做一次 IFFT，所需乘法运算次数为：

$$M_2 = \frac{3 \times (N+1)}{2} \lceil \log_2(N+1) \rceil + 1024 = 16384 \quad (15)$$

所需加法运算的运算次数为：

$$N_2 = 3 \times (N+1) \lceil \log_2(N+1) \rceil = 30720 \quad (16)$$

在频域计算 1023 个相关函数值所需的乘法运算次数缩减为在时域运算的 1.57%，所需要的加法运算次数缩减为在时域运算的 2.94%。可见该算法对运算量有明显的减少。

3. 算法实现与实验验证

本文中的导航信号来源于安捷伦 4438C 信号模拟器，射频前端采用 SiGe 公司的 SE4150 芯片，数据采集采用 ADLINK 公司的 PCI-9846H 高速高分辨率数字化仪，该数字化仪具有 4 通道，16bit 量化和 40MSps 的数据采集能力，板载 512MHz 的 SDRAM，采集后将数据通过 PCI 存储 dat 格式文件到计算机中，完全满足实验需求。数字处理平台选用的是国防科技大学空间仪器研究中心开发的通用软件无线电(SDR)开发平台。

软件平台是 Xilinx 公司的 System Generator，其特点是可以通过 Simulink 在高层实现硬件编程。System Generator 是 Xilinx 公司的系统级建模工具，在很多方面扩展了 MathWorks 公司的 Simulink 平台，提供了适合硬件设计的数字信号处理(DSP)建模环境，加速、简化了 FPGA 的 DSP 系统级硬件设计。目前，基于 System Generator 的设计方法已在复杂系统实现中展现出强大的潜能。System Generator 在 DSP 工程师和 FPGA 工程师之间架起了一座桥梁，使得它在两个领域都得到广泛应用。对于 DSP 工程师来说，通过 Simulink 的设计，System Generator 即可自动完成硬件比特流的产生，而不需要了解比特流的产生细节。对于 FPGA 工程师来说，System Generator 并没替代 HDL 的实现方式，而是简化了繁琐的编程过程，让设计者把精力放在系统的关键模块上。

3.1 系统设计

如果一个系统的所有模块在 System Generator 模块库中能找到，那么使用 System Generator 实现整个系统设计将非常方便。用户只需要点击 Generator 按钮即可产生所需要的所有文件，这些文件包括以下几个。

- (1) 该设计的全部 HDL 代码。
- (2) Clock Wrapper，包括系统时钟和 Clock Enable 信号的产生。
- (3) Testbench，用于 ISE 下仿真测试文件，可以对比 Simulink 下的仿真结果。
- (4) 工程脚本文件，允许不同综合工具（比如 XST 和 Synplify）操作 System Generator 产生的 HDL 代码。
- (5) 其他文件，ISE 通过这些文件使用 System Generator 产生的代码。

使用 System Generator 进行 FPGA 开发的主要流程如图 3 所示。

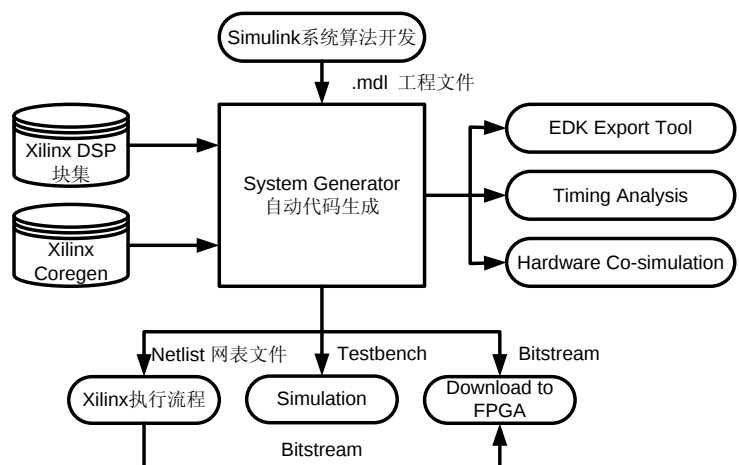


图 3 System Generator 的 FPGA 开发流程图

3.2 硬件开发平台

国防科技大学空间仪器工程研究中心的通用软件无线电 (SDR) 开发平台，采用 Xilinx 公司的 Virtex-4 系列的 XC4VFX60FF1148 这款 FPGA 芯片和 TI 公司的 TMS320C6455-1G 这款 DSP 芯片作为主处理器。图 4 及为 SDR 平台。此外，此开发平台上还集成了

- (1) AD9287，四通道，8 比特量化串行输出，A/D 转换器。
- (2) AD9432，单通道，12 比特量化并行输出，A/D 转换器。
- (3) AD9777，二通道，16 比特并行输入，D/A 转换器。
- (4) VME 总线模块，RS232 模块。
- (5) 外扩 SpiFlash，总容量 64Mbit。



图 4 SDR 平台

本设计方案采用了 FPGA 芯片作为处理器芯片，其内部资源如表 1 所示，可以看出此款 FPGA 芯片资源丰富，为基于 FFT 的快速捕获算法的实现提供了很好的条件。

表 1 XC4VFX60FF1148 片内资源列表

Configurable Logic Blocks (CLBs)				XtremeDSP Slices	Block RAM	
Array Row × Col	Logic Cells	Slices	Max Distributed RAM (Kb)		18 Kb Blocks	Max Block RAM (Kb)

128×52	56880	25380	395	128	232	4176
DCMs	PMCDs	PowerPC Processor	Ethernet MACs	RocketIO Transceiver Block	Total I/O Banks	Max User I/O
12	8	2	4	16	13	576

3.3 实验结果

设置模拟器输出 GPS 4 号卫星导航信号, SNR=-19dB, 多普勒频偏+1kHz; ADLINK 新建任务, 设置 ch0 为工作通道, 生成 dat 文件存储到本地计算机, 40MHz 的采样速率采集大于 1s 时长。

SiGe 公司的 SE4150 芯片输出中频为 16.368MHz, 对 DDS(Direct Digital Synthesizer) 位数要求较高, 所以对采集的数据进行预处理: 经数字变频将中频降到 1.25MHz。对于 2MHz 的带宽, 对数据不等间隔抽取降采样, 等效为 4.096MHz 的采样速率, 并重新量化为 8bit 位宽。将预处理的数据打开到工作区以待 System Generator 读取调用。

System Generator 的总体设计如图 5 所示, 主要包括以下几个功能模块: 数据读取模块, 4096 点 FFT/IFFT 模块, 扫频模块, 信号产生模块, 复数取模模块, 复数乘法模块, FFT 结果存储模块, 捕获判决模块, 逻辑控制模块, 本地数据与中频数据选择模块 (FFT 数据与 IFFT 数据选择模块, 系统控制信号产生模块) 等。

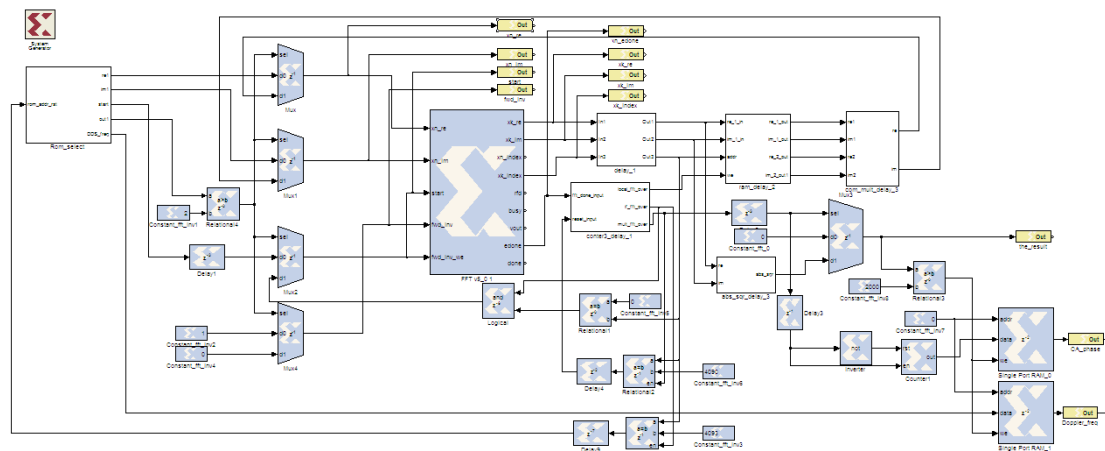


图 5 系统总体结构图

System Generator 可以自动生成可在 ISE 中处理的寄存器传输级(Register Transfer Level, RTL)和 IP 核代码, 在 ISE 中完成 Xilinx 执行工程后生成位流文件, 最后下载到 FPGA 完成整个设计流程。表 2 给出了经 ISE 综合后本设计方案的硬件消耗情况。

从表中可以看出本设计方案所占用的芯片内的各项硬件资源平均在 20%以下, 这主要是因为, 本设计方案采用了时分复用技术在整个设计方案中只采用一个 FFT/IFFT 核。从报告中可以看出系统的所支持的最大时钟频率为 93.458MHz。

表 2 本设计方案利用的硬件资源

Logic Utilization	Used	Available	Utilization
-------------------	------	-----------	-------------

Number of Slices	5295	25280	20%
Number of Slice Flip Flops	6171	50560	12%
Number of 4 input LUTs	6462	50560	12%
Number of bonded IOBs	91	576	15%
Number of FIFO16/RAMB16s	36	232	15%
Number of GCLKs	1	32	3%
Number of DSP48s	44	128	34%

使用 System Generator 的 Hardware Co-simulation 功能，实现 SDR 平台与 PC 交互通信，SDR 平台读取 PC 中的数据，并将运行结果返回给 PC 从而在 PC 上观察分析实验结果，如图 6 所示。



图 6 PC 机与 SDR 间 Hardware Co-simulation 实验

图 7 为输入的待捕获信号以及本地信号的波形图。其中自上而下分别是待捕获信号的实部，本地信号实部，待捕获信号的虚部，本地信号的虚部，这里已经对待捕获信号进行了归一化处理。

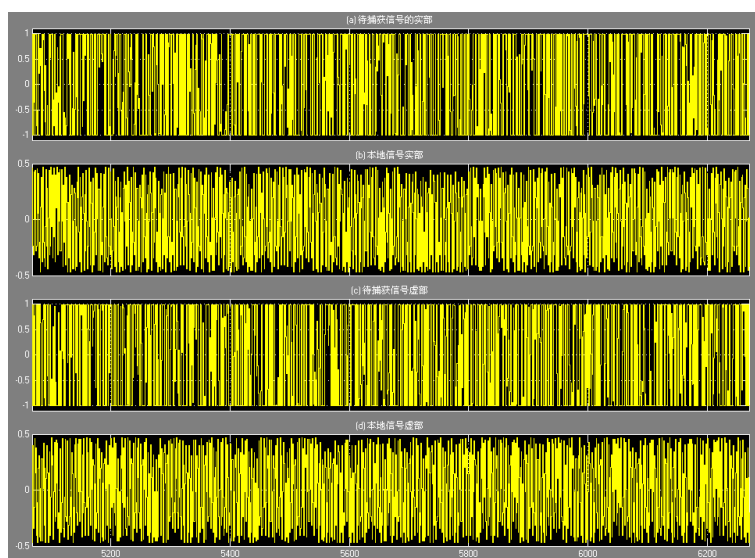


图 7 系统输入数据波形图

图 8 为 FFT/IFFT 模块的输入数据波形图。其中图 a)为待运算数据的实部，图 b)为待运算数据的虚部，而图 c)为控制 FFT/IFFT 模块开始工作的 start 端输入的信号，图 d)为控制其进行 FFT 还是 IFFT 运算的 fwd_inv 端输入的信号。输入的运算数据分为 3 部分：本地信号 FFT 运算结果与待捕获信号 FFT 运算结果复共轭相乘得到的数据，下一次相关运算所需的本地信号，下一次相关运算所需的待捕获信号。可以看到每当一部分数据输入时，start 端都会出现一个脉冲以使模块开始进行运算，同时 fwd_inv 端输入信号控制进行 FFT 运算还是 IFFT 运算。由于本地信号 FFT 运算结果与待捕获信号 FFT 运算结果复共轭相乘得到的数据要进行 IFFT 运算，所以当这部分数据输入时，fwd_inv 端输入的是 0，代表进行的运算是 IFFT 运算。

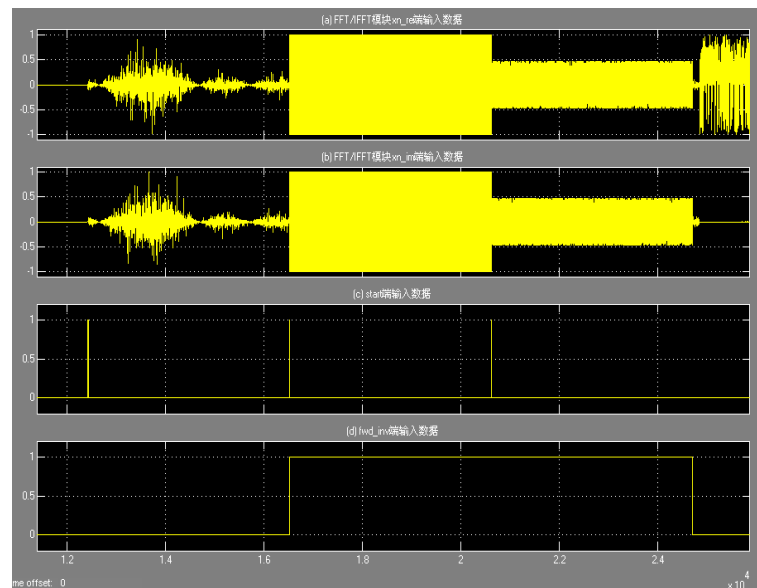


图 8 FFT/IFFT 模块输入数据波形图

图 9 为 FFT/IFFT 模块的输出数据波形图。其中图 a)为运算结果的实部，图 b)为运算结果的虚部，图 c)为 xk_index 端输出数据波形，图 d)为标志着运算结束的 edone 端输出数据波形。运算结果分为三部分：本地信号 FFT 运算结果与待捕获信号 FFT 运算结果复共轭相乘得到的数据进行 IFFT 运算的结果待捕获信号 FFT 运算结果，本地信号 FFT 运算结果。从图中可以看出由于待捕获信号的信噪比 $SNR=-19dB$ ，其信号频谱已完全淹没于噪声中。FFT/IFFT 模块完成一次运算，edone 端会在输出结果的前一个时钟周期输出一个脉冲，而当运算结果输出时，xk_index 端也会随之输出运算结果的序列号。

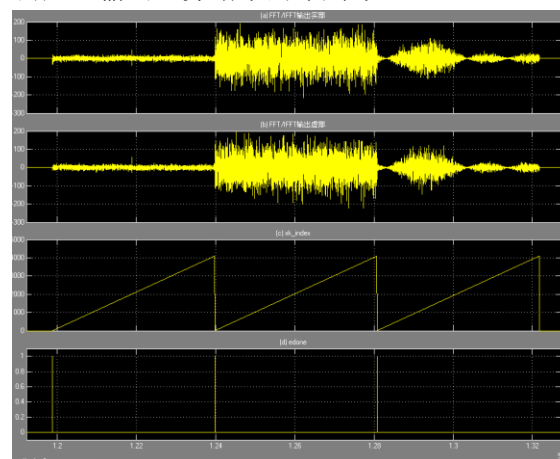


图 9 FFT/IFFT 模块的输出数据波形图

图 10 为最终得到的捕获结果波形图，而图 11 为最终捕获到的码相位延时和多普勒频槽。可以看出在 SNR=-19dB 时，本设计方案得到了很好的相关峰。最终捕获得到的码相位延时为 2000，多普勒频槽为 7，即捕获到的 DDS 模块的频率字为 40032，其对应的载波频率为 1.251MHz。这与输入的待捕获数据的参数一致。所以从仿真结果上可以证明，本设计方案能够进行 GPS 信号的捕获，同时进一步证明了基于 FFT 的频域快速捕获算法是正确有效的。

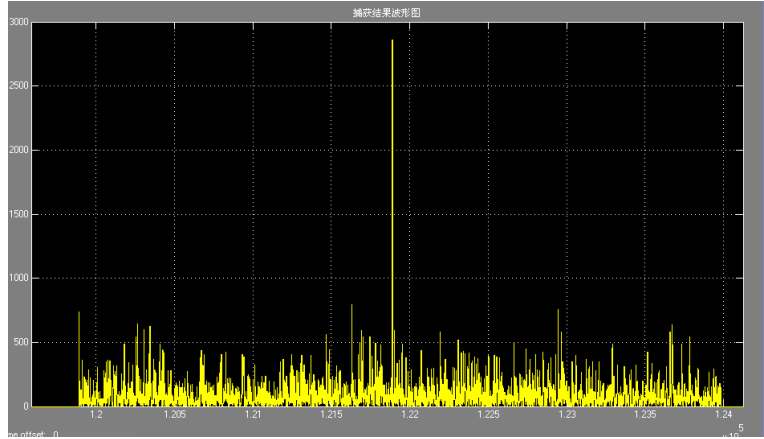


图 10 捕获结果波形图

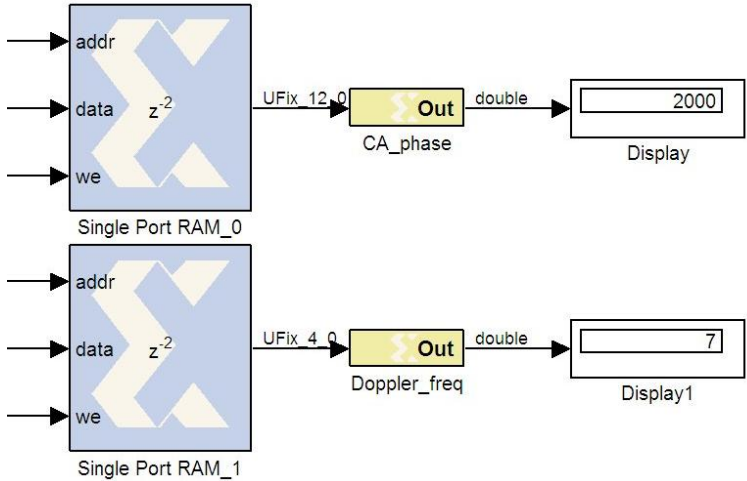


图 11 最终捕获结果

4. 结论

本文详细阐述了如何通过 ADLINK 结合 System Generator 构建验证快速捕获算法。本设计方案总体可分为 FFT/IFFT 模块，扫频模块，信号产生模块，复数运算模块，FFT 结果存储模块，捕获判决模块，以及最复杂的逻辑控制模块等 7 个模块。并且在设计的过程中只采用一个 FFT/IFFT 核，很大程度上节约了硬件资源。同时还采用了一种新颖的复数乘法设计方案。从本章可以看出基于 System Generator 的硬件开发方法避开了繁琐的编写代码的过程，简单明了，模块化很强，是一种快速有效的开发手段。

同时，本文通过 Hardware Co-simulation 对本设计方案进行了验证。最终能够对 SNR=-19dB 的待捕获信号进行正确的捕获。验证了本设计方案的正确性与实用性。